

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-164311

(43)Date of publication of application : 29.09.1983

(51)Int.Cl.

H03K 5/26

(21)Application number : 57-046977

(71)Applicant : SONY CORP

(22)Date of filing : 24.03.1982

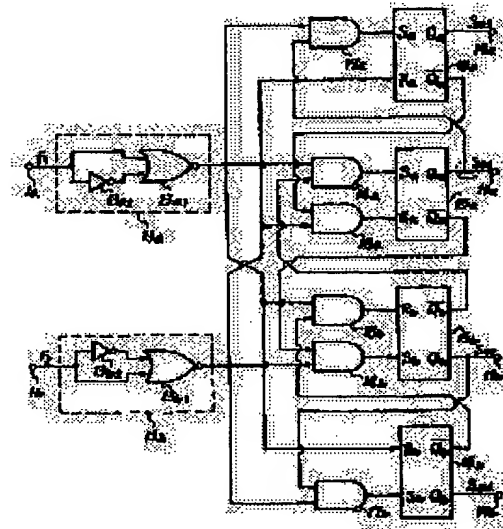
(72)Inventor : YAMADA TAKAAKI

(54) PHASE COMPARATOR

(57)Abstract:

PURPOSE: To increase the response speed of an applied circuit by outputting a successive control signal when both signals are $\geq 360^\circ$ out of phase.

CONSTITUTION: The circuit which consists of circuits 13a and 13b and flip-flops 15a and 15b and outputs an error signal with an about 50% mean duty factor when the input signals have $\geq 360^\circ$ phase error is provided with the circuit which consists of flip-flops 16a and 16b and shows the depth of state transition. If one signal rerises before the other signal falls, this means a $\geq 360^\circ$ phase error. For example, if f2 falls and then f1 falls, the flip-flop 15a outputs "1" and then when not f2, but f1 falls again, the flip-flop 16a outputs "1", showing the presence of a $\geq 360^\circ$ phase difference.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑪ 特許出願公開
昭58—164311

⑤ Int. Cl.³
H 03 K 5/26

識別記号

庁内整理番号
7232—5 J

⑬ 公開 昭和58年(1983)9月29日

発明の数 1
審査請求 未請求

(全 12 頁)

⑭ 位相比較器

① 特 願 昭57—46977
② 出 願 昭57(1982)3月24日
③ 発 明 者 山田隆章
厚木市旭町4丁目14番1号ソニ

一株式会社厚木工場内
④ 出 願 人 ソニー株式会社
東京都品川区北品川6丁目7番
35号
⑤ 代 理 人 弁理士 伊藤貞 外1名

明 細 書

発明の名称 位相比較器

特許請求の範囲

一方の信号を第1のゲート回路を介して第1の双安定回路のセット信号入力端子に供給すると共に該一方の信号を第2のゲート回路を介して第2の双安定回路のリセット信号入力端子に供給し、他方の信号を第3のゲート回路を介して上記第2の双安定回路のセット信号入力端子に供給すると共に該他方の信号を第4のゲート回路を介して上記第1の双安定回路のリセット信号入力端子に供給し、上記第1の双安定回路の反転出力端子に得られる信号を上記第3のゲート回路に制御信号として供給し、上記第2の双安定回路の反転出力端子に得られる信号を上記第1のゲート回路に制御信号として供給し、更に、上記一方の信号を第5のゲート回路を介して第3の双安定回路のセット信号入力端子に供給すると共に該一方の信号を第4の双安定回路のリセット信号入力端子並びに上記第2のゲート回路を介して上記第2の双安定回

路のリセット信号入力端子に供給し、上記他方の信号を上記第3のゲート回路を介して上記第4の双安定回路のセット信号入力端子に供給すると共に該他方の信号を上記第3の双安定回路のリセット信号入力端子並びに上記第4のゲート回路を介して上記第1の双安定回路のリセット信号入力端子に供給し、上記第3の双安定回路の反転出力端子あるいは出力端子に得られる信号を上記第4のゲート回路に制御信号として供給し、上記第4の双安定回路の反転出力端子あるいは出力端子に得られる信号を上記第2のゲート回路に制御信号として供給し、上記第1、第2、第3及び4の双安定回路の出力端子より夫々第1、第2、第3及び第4の出力信号を得るようにしたことを特徴とする位相比較器。

発明の詳細な説明

本発明は例えばシンセサイザ受信機を構成するフェーズロックループ回路(以下PLL回路という)に使用して好適な位相比較器に関する。

一般にPLL回路は電圧制御発振器、位相比較器

等を有して構成されている。この場合、位相比較器には例えば基準信号と電圧制御発振器よりの発振信号とが供給されて位相比較され、この位相比較器よりこれら2信号の位相差に応じた誤差信号が得られる。そして、この誤差信号が、例えばローパスフィルタを介して電圧制御発振器に制御信号として供給される。したがって、この電圧制御発振器よりの出力信号は基準信号と同期したものとされる。

従来、例えばこの様なPLL回路に使用される位相比較器としては、例えば第1図に示す如きものが提案されている。

この第1図において、(1a)は例えば、基準信号 f_1 が供給される入力端子を示し、(1b)は例えば電圧制御発振器よりの発振信号 f_2 が供給される入力端子を示し、(2)~(4)は夫々ナンド回路を示し、ナンド回路(2)と(9)、(3)と(4)、(5)と(6)、(7)と(8)で夫々フリップフロップ回路が構成されている。また、(11a)及び(11b)は上述した信号 f_1 と f_2 との位相差に応じた信号が出力される一方及び他方の出

力端子である。

斯る位相比較器において、第2図A及びBに示すように、入力端子(1a)に供給される基準信号 f_1 に対し、入力端子(1b)に供給される発振信号 f_2 の周波数が低い場合、一方及び他方の出力端子(11a)及び(11b)には、第2図C及びDに示す如き信号 S_{01} 及び S_{02} が出力される。即ち、出力端子(11a)には、発振信号 f_2 の周波数が、基準信号 f_1 の周波数に比して低ければ低い程、その高レベル"1"となる期間が長い信号 S_{01} が得られると共に、出力端子(11b)には常に高レベル"1"である信号 S_{02} が得られる。したがって、これら出力信号 S_{01} 及び S_{02} を例えば電圧制御発振器に制御信号として供給することにより、発振信号 f_2 の周波数及び位相を基準信号 f_1 と等しい方向に制御することができる。

また、例えば第3図A及びBに示すように入力端子(1a)に供給される基準信号 f_1 に対し、入力端子(1b)に供給される発振信号 f_2 の周波数が等しく、位相が ϕ だけ遅れている場合、一方及び他

方の出力端子(11a)及び(11b)には第3図C及びDに示す如き信号 S_{01} 及び S_{02} が得られる。即ち、一方の出力端子(11a)には、位相差 ϕ に応じた期間だけ周期的に低レベル"0"となる信号 S_{01} が得られると共に、他方の出力端子(11b)には常に高レベル"1"となる信号 S_{02} が得られる。したがって、これら出力信号 S_{01} 及び S_{02} を例えば電圧制御発振器に制御信号として供給することにより、発振信号 f_2 の位相を基準信号 f_1 と等しい方向に制御することができる。

斯る第1図に示す如き位相比較器は以上述べた様に、発振信号 f_2 の基準信号 f_1 に対する位相差に応じて、一方及び他方の出力端子(11a)及び(11b)には対応する信号 S_{01} 及び S_{02} が得られる。したがって、これら出力信号 S_{01} 及び S_{02} により例えば電圧制御発振器を制御して比較信号 f_2 の周波数及び位相を基準信号 f_1 に一致させることができる。

しかし、斯る第1図に示す如き位相比較器はナンド回路で構成されるフリップフロップ回路が4

個(ナンド回路(2)と(9)、(3)と(4)、(5)と(6)、(7)と(8)で夫々フリップフロップ回路が構成されている)も使用され、それらの間の配線も非常に複雑となっており、加工手間、使用される回路素子の数とも関連して、コスト的にも比較的高価なものであった。

ところで、第4図に示すものは、この第1図に示す位相比較器の状態遷移を示す状態遷移図である。この図からも明らかな様に、8つの安定状態 U_1 、 U_2 、 O_1 、 O_2 、 O_3 、 O_4 、 D_1 、 D_2 を有して遷移する。

この場合、出力端子(11a)及び(11b)に得られる信号 S_{01} 及び S_{02} は、 U_1 、 U_2 の状態にあるときには夫々"0"及び"1"であり、 O_1 、 O_2 、 O_3 、 O_4 の状態にあるときには夫々"1"及び"1"であり、 D_1 、 D_2 の状態にあるときには夫々"1"及び"0"である。したがって、この8つの安定状態 U_1 、 U_2 、 O_1 、 O_2 、 O_3 、 O_4 、 D_1 、 D_2 を第5図に示す様に3つのグループにまとめることが考えられる。

これを、さらに発展させると、第6図の状態遷移図に示すように、3つの安定状態U、O、D (Uの状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "1"$ 、Oの状態にあるときには $S_{01} = "1"$ 、 $S_{02} = "1"$ 、Dの状態にあるときには $S_{01} = "1"$ 、 $S_{02} = "0"$)をおき、例えば図に示す様な規則で遷移する様になせば、上述した従来の位相比較器と同様の出力信号が得られると考えられるのである。

そこで本出願人は上述した位相比較器と同等の機能を持ち、回路構成がより簡単とされた第7図に示すような位相比較器を先に提案した。この第7図において第1図と対応する部分には同一符号を付し、その詳細説明は省略する。

この第7図において、例えば基準信号 f_1 が供給される入力端子(1a)は、トリガーパルス発生回路(13a)を構成するノア回路(13a₁)の一方の入力側に接続されると共に、この入力端子(1a)はインバータ(13a₂)を介してノア回路(13a₁)の他方の入力側に接続される。この場合、インバータ(13a₂)

としては、入力端子(1b)に供給される信号の立下がりて、パルス幅が 2τ のトリガーパルスが得られる。

また、このノア回路(13b₁)の出力側はゲート回路を構成するアンド回路(14b)の一方の入力側に接続され、このアンド回路(14b)の出力側はフリップフロップ回路(15b)のセット信号入力端子Sbに接続される。

また、ノア回路(13b₁)の出力側はフリップフロップ回路(15a)のリセット信号入力端子Raに接続され、このフリップフロップ回路(15a)の反転出力端子 \overline{Qa} はアンド回路(14b)の他方の入力側に接続される。

また、ノア回路(13a₁)の出力側はフリップフロップ回路(15b)のリセット信号入力端子Rbに接続され、このフリップフロップ回路(15b)の反転出力端子 \overline{Qb} はアンド回路(14a)の他方の入力側に接続される。

そして、フリップフロップ回路(15a)及び(15b)の出力端子Qa及びQbより夫々一方及び他方の出

による遅延時間は 2τ とされ、例えば入力端子(1a)に第8図Aに示す如き信号が供給されると、インバータ(13a₂)の出力側からは第8図Bに示す如き信号が得られる。したがって、ノア回路(13a₁)の出力側には、入力端子(1a)に供給される信号の立下がり時に第8図Cに示す如きパルス幅が 2τ のトリガーパルスが得られる。

このノア回路(13a₁)の出力側はゲート回路を構成するアンド回路(14a)の一方の入力側に接続され、このアンド回路(14a)の出力側はフリップフロップ回路(15a)のセット信号入力端子Saに接続される。

また、例えば電圧制御発振器よりの発振信号 f_2 が供給される入力端子(1b)は、トリガーパルス発生回路(13b)を構成するノア回路(13b₁)の一方の入力側に接続されると共に、この入力端子(1b)はインバータ(13b₂)を介してノア回路(13b₁)の他方の入力側に接続される。このトリガーパルス発生回路(13b)も上述したトリガーパルス発生回路(13a)と同様に構成され、ノア回路(13b₁)の出力

力端子(11a)及び(11b)が導出される。

この場合、トリガーパルス発生回路(13a)より出力されるトリガーパルスがアンド回路(14a)を介してフリップフロップ回路(15a)のセット信号入力端子Saに供給されて、このフリップフロップ回路(15a)がセットされる、即ち、出力端子Qaに高レベル信号"1"、反転出力端子 \overline{Qa} に低レベル信号"0"が出力される状態とされる。ただし、フリップフロップ回路(15b)がセット状態、即ち反転出力端子 \overline{Qb} に低レベル信号"0"が出力されている状態にあるときには、アンド回路(14a)よりなるゲート回路は閉じた状態にあり、フリップフロップ回路(15a)のセット信号入力端子Saにはトリガーパルス発生回路(13a)よりトリガーパルスが供給されず、このフリップフロップ回路(15a)はセットされない、つまりセットが禁止される。

また、トリガーパルス発生回路(13a)より出力されるトリガーパルスがフリップフロップ回路(15b)のリセット信号入力端子Rbに供給されて、このフリップフロップ回路(15b)がリセットされ

る、即ち、出力端子 Qb に低レベル信号“0”、反転出力端子 \overline{Qb} に高レベル信号“1”が出力される状態とされる。

また、同様にトリガパルス発生回路(13b)より出力されるトリガパルスがアンド回路(14b)を介してフリップフロップ回路(15b)のセット信号入力端子 Sb に供給されて、このフリップフロップ回路(15b)がセットされる。即ち、出力端子 Qb に高レベル信号“1”、反転出力端子 \overline{Qb} に低レベル信号“0”が出力される状態とされる。ただし、この場合も、フリップフロップ回路(15a)がセット状態、即ち、反転出力端子 \overline{Qa} に低レベル信号“0”が出力されている状態にあるときには、アンド回路(14b)よりなるゲート回路は閉じた状態にあり、フリップフロップ回路(15b)のセット信号入力端子 Sb にはトリガパルスは供給されず、このフリップフロップ回路(15b)はセットされない、つまりセットが禁止される。

また、トリガパルス発生回路(13b)より出力されるトリガパルスがフリップフロップ回路

(15a)のリセット信号入力端子 Ra に供給されて、このフリップフロップ回路(15a)はリセットされる、即ち、出力端子 Qa に低レベル信号“0”、反転出力端子 \overline{Qa} に高レベル信号“1”が出力される状態とされる。

また、この場合、これらフリップフロップ回路(15a)及び(15b)に、同時にセット及びリセットするトリガパルスが供給された場合には、リセットが優先され、これらフリップフロップ回路(15a)及び(15b)はリセット状態とされる様になされている。

このように、第7図の位相比較器によれば、入力端子(1a)に供給される信号 f_1 が立下がるとき(高レベル“1”から低レベル“0”となるとき)、フリップフロップ回路(15a)及び(15b)は夫々セット及びリセットされると共に入力端子(1b)に供給される信号 f_2 が立下がるときフリップフロップ回路(15a)及び(15b)は夫々リセット及びセットされる。ただし、フリップフロップ回路(15a)及び(15b)において、一方が既にセット状態にあると

きは、他方はセットが禁止される。

第9図は本例の位相比較器の状態遷移図を示すもので、3つの安定状態 $0'$ 、 D' (U' の状態にあるときには $S_{01} = "1"$ 、 $S_{02} = "0"$ 、 $0'$ の状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "0"$ 、 D' の状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "1"$)を有し、図に示す如き規則で遷移する。この状態遷移図は第6図に示す如き従来の位相比較器の簡略化された状態遷移図と同等である。

したがって、第7図の位相比較器は従来の位相比較器と同等の状態遷移をする。

第7図の位相比較器の入力端子(1a)及び(1b)に、例えば第10図A及びBに示す如き信号 f_1 及び f_2 ($f_2 > f_1$) が供給された場合、一方及び他方の出力端子(11a)及び(11b)に得られる信号 S_{01} 及び S_{02} は夫々第10図C及びDに示す如くなる。即ち、出力端子(11a)には、発振信号 f_2 の周波数と、基準信号 f_1 の周波数との差に応じてその低レベル“0”となる期間が変化する信号 S_{01} が得られると共に、出力端子(11b)には常に低レ

ベル“0”である信号 S_{02} が得られる。したがって、これら出力信号 S_{01} 及び S_{02} を例えば電圧制御発振器に制御信号として供給することにより、発振信号 f_2 の周波数及び位相を基準信号 f_1 と等しい方向に制御することができる。尚、この例の場合には、出力信号 S_{01} 及び S_{02} の初期値は、夫々“0”及び“0”であるが、他の場合、即ち出力信号 S_{01} 及び S_{02} の初期値が“0”及び“1”、“1”及び“0”、“1”及び“1”であつても、時点 t_1 で“0”及び“0”にリセットされるので、その後は同じになる。

また、第7図の位相比較器の入力端子(1a)及び(1b)に、例えば第11図A及びBに示す如き信号 f_1 及び f_2 (f_1 と f_2 は周波数が等しく、位相差 ϕ である)が供給された場合、一方及び他方の出力端子(11a)及び(11b)に得られる信号 S_{01} 及び S_{02} は夫々第11図C及びDに示す如くなる。即ち、一方の出力端子(11a)には、位相差 ϕ に応じた期間だけ周期的に高レベル“1”となる信号 S_{01} が得られると共に、他方の出力端子(11b)には常に低レベル“0”となる信号 S_{02} が得られる。した

がつて、これら出力信号 S_{01} 及び S_{02} を例えば電圧制御発振器に制御信号として供給することにより、発振信号 f_2 の位相を基準信号 f_1 と等しい方向に制御することができる。この第11図C及びDに示すのは、これら出力信号 S_{01} 及び S_{02} の初期値が“0”及び“0”の場合であるが、出力信号 S_{01} 及び S_{02} の初期値が“0”及び“1”であるときは第11図E及びFに、“1”及び“0”であるときは第11図G及びHに、“1”及び“1”であるときは、第11図I及びJに矢々示す如くなる。

以上述べた如く、第7図の位相比較器によれば、従来の位相比較器と比べて遜色のない機能を有する。しかも、フリップフロップ回路2つ(15a)及び(15b)で構成され、回路構成が非常に簡単であり、従来のものに比べ廉価となる。

ところで、第7図に示すような位相比較器の場合、上述からもわかるように、例えば基準信号 f_1 の周波数に対して発振信号 f_2 の周波数が低い場合、 ϕ と ψ の安定状態の間で遷移し乍ら ψ の安定状態で上昇(UP)信号を両周波数が等しくなるまで発生

し、等しくなった時点で最終的に ϕ の安定状態に落ち付き(この時位相誤差零)、一方基準信号 f_1 の周波数に対して発振信号 f_2 の周波数が高い場合、第9図における ϕ と ψ の安定状態の間で遷移し乍ら ψ の安定状態で下降(DOWN)信号を両周波数が等しくなるまで発生し、等しくなった時点でやはり最終的に ϕ の安定状態に落ち付き(この時位相誤差零)わけであるが、この遷移の間 ϕ と ψ の安定状態にある時間は略々等しく、従つて両信号間に360°以上の位相誤差があつても誤差信号は平均アムプティテュード程度の脈流しか出力されない不都合がある。

本発明は斯る点に鑑み、比較しようとする両信号の360°以上の位相誤差に対してアムプティテュード100%の誤差信号、つまり連続した制御信号を出力することにより、適用される回路例えばPLL回路等の応答速度を向上することができる位相比較器を提供するものである。

以下、本発明の諸実施例を第12図乃至第15図に基づいて詳しく説明する。

第12図は本発明の第1実施例の構成を示すもので、同図において、第7図と対応する部分には同一符号を付し、その詳細説明は省略する。

本実施例では、状態遷移の奥行きを狭くする一対のフリップフロップ回路(16a)及び(16b)を設ける。そして、ノア回路(13a)の出力側がゲート回路を構成するアンド回路(17a)の一方の入力側に接続され、このアンド回路(17a)の出力側がフリップフロップ回路(16a)のセット信号入力端子 S_a に接続される。また、ノア回路(13b)の出力側がゲート回路を構成するアンド回路(17b)の一方の入力側に接続され、このアンド回路(17b)の出力側がフリップフロップ回路(16b)のセット信号入力端子 S_b に接続される。

また、ノア回路(13a)の出力側はフリップフロップ回路(16b)のリセット信号入力端子 R_b に接続されると共にゲート回路を構成するアンド回路(18b)の一方の入力側に接続され、このアンド回路(18b)の出力側はフリップフロップ回路(15b)のリセット信号入力端子 R_b に接続される。さらに、

フリップフロップ回路(15b)の出力端子 Q_b はアンド回路(17b)の他方の入力側に接続され、フリップフロップ回路(16b)の反転出力端子 \overline{Q}_b はアンド回路(18b)の他方の入力側に接続される。

またノア回路(13b)の出力側はフリップフロップ回路(16a)のリセット信号入力端子 R_a に接続されると共にアンド回路(18a)の一方の入力側に接続され、このアンド回路(18a)の出力側はフリップフロップ回路(15a)のリセット信号入力端子 R_a に接続される。さらに、フリップフロップ回路(15a)の出力端子 Q_a はアンド回路(17a)の他方の入力側に接続され、フリップフロップ回路(16a)の反転出力端子 \overline{Q}_a はアンド回路(18a)の他方の入力側に接続される。

そして、フリップフロップ回路(16a)及び(16b)の出力端子 Q_a 及び Q_b より夫々一方及び他方の出力端子(19a)及び(19b)が導出される。その他は第7図の回路と同様に構成されている。

この場合、トリガパルス発生回路(13a)より出力されるトリガパルスがアンド回路(14a)を

介してフリップフロップ回路(15a)のセット信号入力端子8aに供給されて、このフリップフロップ回路(15a)がセットされる、即ち、出力端子Qaに高レベル信号“1”、反転出力端子 \overline{Qa} に低レベル信号“0”が夫々出力される状態とされる。このフリップフロップ回路(15a)のセット状態に伴つてアンド回路(17a)よりなるゲート回路が開いた状態になるので、トリガーパルス発生回路(13a)より出力される次のトリガーパルスがアンド回路(17a)を介してフリップフロップ回路(16a)のセット信号入力端子8aに供給され、このフリップフロップ回路(16a)がセットされる、即ち、出力端子Qaに高レベル信号“1”、反転出力端子 \overline{Qa} に低レベル信号“0”が夫々出力される状態とされる。ただし、フリップフロップ回路(15b)がセット状態、即ち、反転出力端子 \overline{Qb} に低レベル信号“0”が出力される状態にあるときには、アンド回路(14a)よりなるゲート回路は閉じた状態にあり、フリップフロップ回路(15a)のセット信号入力端子8aにはトリガーパルス発生回路(13a)よりトリガーパルスが供

給され、このフリップフロップ回路(15b)がリセットされる、即ち、出力端子Qbに低レベル信号“0”、反転出力端子 \overline{Qb} に高レベル信号“1”が出力される状態とされる。

また、同様にトリガーパルス発生回路(13b)より出力されるトリガーパルスがアンド回路(14b)を介してフリップフロップ回路(15b)のセット信号入力端子8bに供給されて、このフリップフロップ回路(15b)がセットされる、即ち、出力端子Qbに高レベル信号“1”、反転出力端子 \overline{Qb} に低レベル信号“0”が夫々出力される状態とされる。このフリップフロップ回路(15b)のセット状態に伴つてアンド回路(17b)よりなるゲート回路が開いた状態になるので、トリガーパルス発生回路(13b)より出力される次のトリガーパルスがアンド回路(17b)を介してフリップフロップ回路(16b)のセット信号入力端子8bに供給され、このフリップフロップ回路(16b)がセットされる、即ち、出力端子Qbに高レベル信号“1”、反転出力端子 \overline{Qb} に低レ

ベル信号“0”が夫々出力される状態とされる。ただし、この場合も、フリップフロップ回路(15a)がセット状態、即ち、反転出力端子 \overline{Qa} に低レベル信号“0”が出力されている状態にあるときには、アンド回路(14b)よりなるゲート回路は閉じた状態にあり、フリップフロップ回路(15b)のセット信号入力端子8bにはトリガーパルス発生回路(13b)よりトリガーパルスが供給されず、このフリップフロップ回路(16b)はセットされない、つまりセットが禁止される。

また、トリガーパルス発生回路(13a)より出力されるトリガーパルスがフリップフロップ回路(16b)のリセット信号入力端子Rbに供給されて、このフリップフロップ回路(16b)がリセットされる、即ち、出力端子Qbに低レベル信号“0”、反転出力端子 \overline{Qb} に高レベル信号“1”が出力される状態とされる。このフリップフロップ回路(16b)のリセット状態に伴つてアンド回路(18b)よりなるゲート回路が開いた状態となり、トリガーパルス発生回路(13a)より出力される次のトリガーパルスがアンド回路(18b)を介してフリップフロップ回

路(15b)のリセット信号入力端子Rbに供給され、このフリップフロップ回路(15b)がリセットされる、即ち、出力端子Qbに低レベル信号“0”、反転出力端子 \overline{Qb} に高レベル信号“1”が出力される状態とされる。ただし、この場合も、フリップフロップ回路(15a)がセット状態、即ち、反転出力端子 \overline{Qa} に低レベル信号“0”が出力されている状態にあるときには、アンド回路(14b)よりなるゲート回路は閉じた状態にあり、フリップフロップ回路(15b)のセット信号入力端子8bにはトリガーパルスは供給されず、このフリップフロップ回路(15b)はセットされない、つまりセットが禁止される。このフリップフロップ回路(15b)のセットが禁止されている間、アンド回路(17b)よりなるゲート回路は閉じた状態にあり、フリップフロップ回路(16b)のセット信号入力端子8bにはトリガーパルス発生回路(13b)よりトリガーパルスが供給されず、このフリップフロップ回路(16b)はセットされない、つまりセットが禁止される。

また、トリガーパルス発生回路(13b)より出力されるトリガーパルスがフリップフロップ回路(16a)のリセット信号入力端子Raに供給されて、このフリップフロップ回路(16a)がリセットされ

る、即ち、出力端子 Q_a に低レベル信号“0”、反転出力端子 $\overline{Q_a}$ に高レベル信号“1”が出力される状態とされる。このフリップフロップ回路(16a)のリセット状態に伴つてアンド回路(18a)よりなるゲート回路が開いた状態になり、トリガーパルス発生回路(13b)より出力される次のトリガーパルスがアンド回路(18a)を介してフリップフロップ回路(15a)のリセット信号入力端子 R_a に供給され、このフリップフロップ回路(15a)がリセットされる、即ち、出力端子 Q_a に低レベル信号“0”、反転出力端子 $\overline{Q_a}$ に高レベル信号“1”が出力される状態とされる。

また、この場合、これらフリップフロップ回路(15a)と(15b)及び(16a)と(16b)に、同時にセット及びリセットするトリガーパルスが供給された場合には、リセットが優先され、これらフリップフロップ回路(15a)と(15b)及び(16a)と(16b)はリセット状態とされるようになされている。

このように、斯る本実施例の位相比較器によれば、入力端子(1a)に供給される信号 f_1 が立下が

るとき(高レベル“1”から低レベル“0”となるとき)、フリップフロップ回路(15a)、(16a)及び(15b)、(16b)は夫々セット及びリセットされると共に入力端子(1b)に供給される信号 f_2 が立下がるときフリップフロップ回路(15a)、(16a)及び(15b)、(16b)は夫々リセット及びセットされる。ただし、フリップフロップ回路(15a)、(16a)及び(15b)、(16b)において、一方が既にセット状態にあるときは、他方はセットが禁止される。

第13図は本実施例の位相比較器の状態遷移図を示すもので、5つの安定状態 U' 、 V' 、 O' 、 D' 、 D' 、即ち、 U' の状態にあるときには $S_{01} = "1"$ 、 $S_{02} = "0"$ 、 $S_{03} = "1"$ 、 $S_{04} = "0"$ 、 V' の状態にあるときには $S_{01} = "1"$ 、 $S_{02} = "0"$ 、 $S_{03} = "0"$ 、 $S_{04} = "0"$ 、 O' の状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "0"$ 、 $S_{03} = "0"$ 、 $S_{04} = "0"$ 、 D' の状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "1"$ 、 $S_{03} = "0"$ 、 $S_{04} = "1"$ を有し、図に示す如き規則で遷移する。この

状態遷移図は、第7図に示す状態遷移図に比し、 U' 及び D' の安定状態が夫々 V' 及び O' の安定状態の両側に存在し、従つて今まで V' 及び O' の安定状態で循環していた状態が夫々 U' 及び D' の安定状態に遷移し、それだけ状態遷移が拡張される。即ち、第14図の回路の場合、例えば基準信号 f_1 の周波数に対して発振信号 f_2 の周波数が低い場合、第15図にかける O' より V' の安定状態に遷移した状態は、次の基準信号 f_1 の立下がりて更に U' の安定状態に遷移し、 U' と U' の安定状態の間で遷移し乍ら V' 及び V' の安定状態で上昇信号を発生し、等しくなつた時点で最終的に O' の安定状態に落ち付き(この時位相誤差零)、一方基準信号 f_1 の周波数に対して発振信号 f_2 の周波数が高い場合、第15図にかける O' より D' の安定状態に遷移した状態は、次の発振信号 f_2 の立下がりて更に D' の安定状態に遷移し、 D' と D' の安定状態の間で遷移し乍ら V' 及び V' の安定状態で下降信号を発生し、等しくなつた時点で最終的に O' の安定状態に落ち付き(この時位相誤差零)ようになる、従つて今度は処理時間は

実質的に V' と V' の安定状態で分担されることになるので、比較する両信号に 360° 以上の位相誤差があつても、アモータイ100%の誤差信号を電圧制御発振器等の制御信号として出力でき、斯る位相比較器を例えばPLL回路に適用した場合、その応答速度を向上できることになる。

第14図は本発明の第2実施例の構成を示すもので、同図において、第12図と対応する部分には同一符号を付し、その詳細説明は省略する。

第13図の第1実施例が状態遷移の奥行きを表わすのに一對のフリップフロップ回路(15a)及び(16b)を使用したのに対し、本実施例では単一のフリップフロップ回路(15)でこれを表わそうとするものである。

本実施例では、ノア回路(13a₁)の出力側がゲート回路を構成するアンド回路(20b)及び(20d)の一方の入力側に接続されると共にノア回路(13b₁)の出力側がゲート回路を構成するアンド回路(20a)及び(20c)の一方の入力側に接続される。アンド回路(20a)及び(20c)の出力側は夫々フリップフ

フリップフロップ回路(15a)のリセット信号入力端子 R_1 及び R_2 に接続され、アンド回路(20b)及び(20d)の出力側は夫々フリップフロップ回路(15a)のセット信号入力端子 S_1 及び S_2 に接続される。フリップフロップ回路(15a)の反転出力端子 \bar{Q} はアンド回路(18a)及び(18b)の他方の入力側に各々接続され、フリップフロップ回路(15a)の出力端子 Q_a はアンド回路(20a)及び(20d)の他方の入力側に接続され、フリップフロップ回路(15b)の出力端子 Q_b はアンド回路(20b)及び(20c)の他方の入力側に接続される。そして、フリップフロップ回路(15a)の出力端子 Q より出力端子(18)が導出される。その他は第12図の回路と同様に構成されている。

この場合、トリガーパルス発生回路(13a)より出力されるトリガーパルスがアンド回路(14a)を介してフリップフロップ回路(15a)のセット信号入力端子 S_a に供給されて、このフリップフロップ回路(15a)がセットされる。このフリップフロップ回路(15a)のセット状態に伴ってアンド回路(20d)のゲートが開き、トリガーパルス発生回路

(13a)からの次のトリガーパルスがフリップフロップ回路(15a)のセット信号入力端子 S_2 に供給され、このフリップフロップ回路(15a)がセットされる。ただし、フリップフロップ回路(15b)がセット状態にあるときは、アンド回路(14a)のゲートが閉じ、フリップフロップ回路(15a)のセット信号入力端子 S_a にはトリガーパルス発生回路(13a)からのトリガーパルスが供給されず、このフリップフロップ回路(15a)はセットされない、つまりセットが禁止される。このフリップフロップ回路(15a)のセットが禁止されている間、アンド回路(20d)のゲートは閉じた状態にあり、フリップフロップ回路(15b)のセット信号入力端子 S_2 にはトリガーパルス発生回路(13a)よりトリガーパルスが供給されず、このフリップフロップ回路(15b)はセットされない、つまりセットが禁止される。

また、フリップフロップ回路(15b)が未だセットされない状態では、トリガーパルス発生回路(13a)より出力されるトリガーパルスがアンド回路(18b)を介してフリップフロップ回路(15b)のリセット

信号入力端子 R_b に供給されて、このフリップフロップ回路(15b)がリセットされる。このフリップフロップ回路(15b)のリセット状態により、アンド回路(20b)及び(20c)のゲートは閉じた状態を接続し、トリガーパルス発生回路(13a)からのトリガーパルスがアンド回路(20b)を介してフリップフロップ回路(15a)のセット信号入力端子 S_1 に供給されないようにすると共にトリガーパルス発生回路(13b)からのトリガーパルスがアンド回路(20c)を介してフリップフロップ回路(15b)のリセット信号入力端子 R_2 に供給されないようにしている。

また、同様にトリガーパルス発生回路(13b)より出力されるトリガーパルスがアンド回路(14b)を介してフリップフロップ回路(15b)のセット信号入力端子 S_b に供給されて、このフリップフロップ回路(15b)がセットされる。このフリップフロップ回路(15b)のセット状態に伴ってアンド回路(20c)のゲートが開き、トリガーパルス発生回路(13b)からの次のトリガーパルスがフリップフロップ回路(15a)のリセット信号入力端子 R_2 に供給され、

このフリップフロップ回路(15a)がリセットされる。ただし、フリップフロップ回路(15a)がセット状態にあるときは、アンド回路(14b)のゲートが閉じ、フリップフロップ回路(15b)のセット信号入力端子 S_b にはトリガーパルス発生回路(13b)からのトリガーパルスが供給されず、このフリップフロップ回路(15b)はセットされない、つまりセットが禁止される。このフリップフロップ回路(15b)のセットが禁止されている間、アンド回路(20c)のゲートは閉じた状態にあり、フリップフロップ回路(15b)のリセット信号入力端子 R_2 にはトリガーパルス発生回路(13b)よりトリガーパルスが供給されず、このフリップフロップ回路(15b)はリセットされない、つまりリセットが禁止される。

また、フリップフロップ回路(15a)のリセットによりアンド回路(18a)のゲートが開き、トリガーパルス発生回路(13b)より出力される次のトリガーパルスがアンド回路(18a)を介してフリップフロップ回路(15a)のリセット信号入力端子 R_a に供給されて、このフリップフロップ回路(15a)がリセ

ットされる。このフリップフロップ回路(15a)のリセット状態により、アンプ回路(20a)及び(20d)のゲートは閉じた状態を保持し、トリガーパルス発生回路(13b)からのトリガーパルスがアンプ回路(20a)を介してフリップフロップ回路(15a)のリセット信号入力端子 R_1 に供給されないようにすると共にトリガーパルス発生回路(13a)からのトリガーパルスがアンプ回路(20d)を介してフリップフロップ回路(15b)のリセット信号入力端子 R_2 に供給されないようにしている。

第15図は本実施例の位相比較器の状態遷移図を示すもので、この場合も5つの安定状態 U' 、 U 、 O' 、 O 、 D' 、即ち、 U' の状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "0"$ 、 $S_{03} = "1"$ 、 U の状態にあるときには $S_{01} = "1"$ 、 $S_{02} = "0"$ 、 $S_{03} = "0"$ 、 O' の状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "0"$ 、 $S_{03} = "0"$ 、 O の状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "1"$ 、 $S_{03} = "0"$ 、 D' の状態にあるときには $S_{01} = "0"$ 、 $S_{02} = "1"$ 、 $S_{03} = "1"$ を有し、図に示す如き規則で遷移する。即ち、状態遷移が

一番奥にあるのを、第12図例では実質的に出力端子(19a)及び(19b)に夫々得られる出力信号 S_{03} 及び S_{04} を用いて表わしているのに対し、第14図例では実質的に出力端子(19)に得られる出力信号 S_{03} のみで表わすようにしている。従つて、本実施例でも上記実施例と同様の作用効果を得ることができる。

上述の如く本発明による位相比較器によれば、位相比較器の状態遷移を拡張することにより、比較しようとする両信号の 360° 以上の位相誤差に対してアムプティチュード100%の誤差信号を制御信号として出力することができ、もつて本発明が適用される任意の回路例えばPLL回路の応答速度を向上することができる。

なお、上述の実施例において、状態遷移を更に拡張したい場合には、状態遷移の表行を表わす同様の回路を更に設けるようにしてもよい。またフリップフロップ回路(15a)及び(15b)等は、ノア回路を用いた構成とした場合に付いて説明したがこれに限定されることなく、例えばナンド回路を

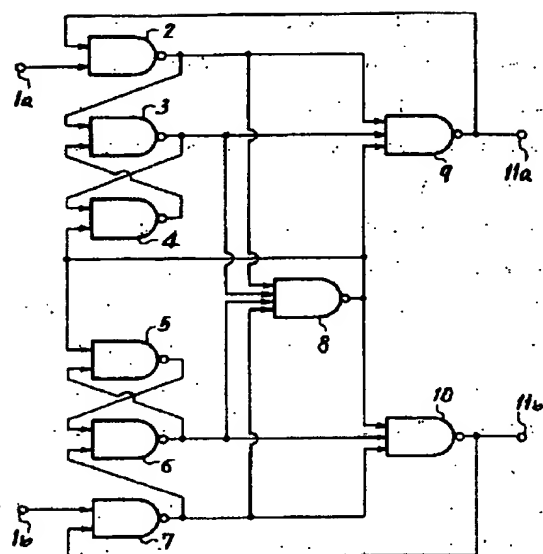
用いて構成してもよい。

図面の簡単な説明

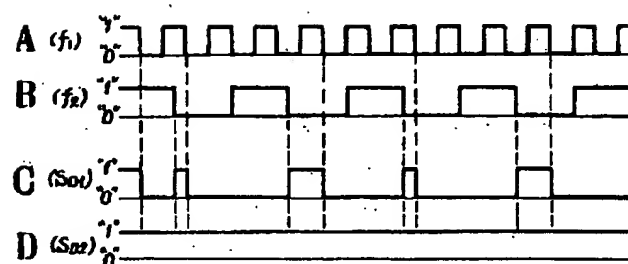
第1図は従来の位相比較器の一例を示す接続図、第2図乃至第6図は夫々第1図の動作説明に供するための線図、第7図は本発明の先行技術に係る位相比較器の一例を示す接続図、第8図乃至第11図は夫々第7図の動作説明に供するための線図、第12図は本発明の一実施例を示す接続図、第13図は第12図の動作説明に供するための線図、第14図は本発明の他の実施例を示す接続図、第15図は第14図の動作説明に供するための線図である。

(1a)及び(1b)は夫々入力端子、(11a)、(11b)、(19a)、(19b)及び(19c)は夫々出力端子、(13a)及び(13b)は夫々トリガーパルス発生回路、(14a)、(14b)、(17a)、(17b)、(18a)、(18b)、(20a)、(20b)、(20c)及び(20d)は夫々アンプ回路、(15a)、(15b)、(16a)、(16b)及び(16c)は夫々フリップフロップ回路である。

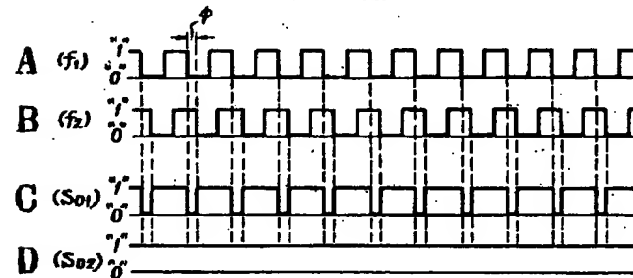
第 1 図



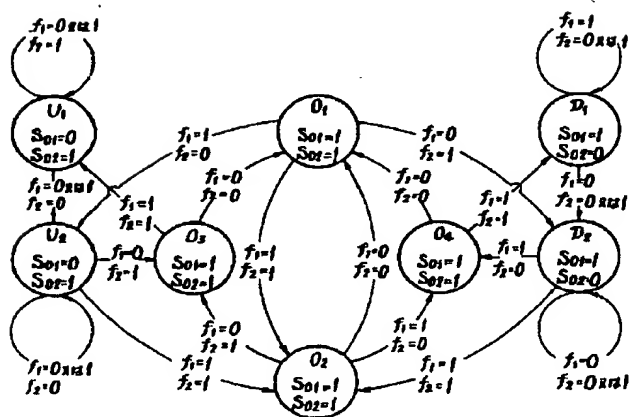
第 2 図



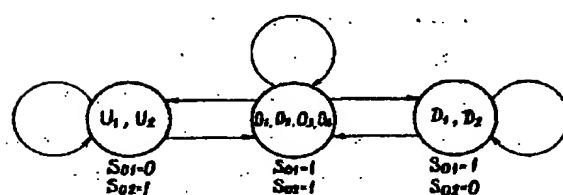
第 3 図



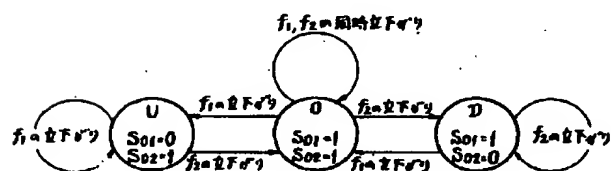
第 4 図



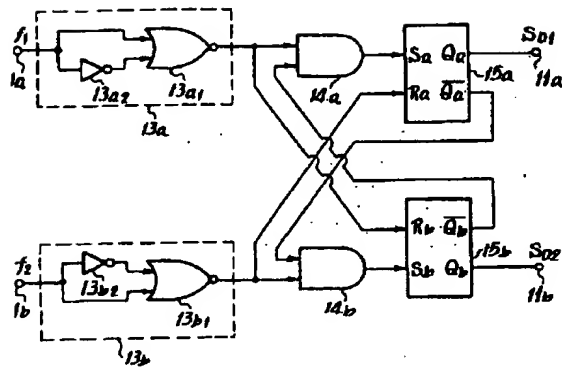
第 5 図



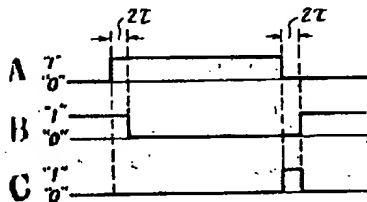
第 6 図



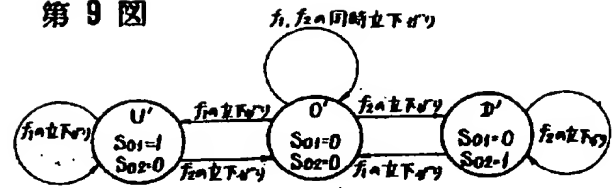
第7図



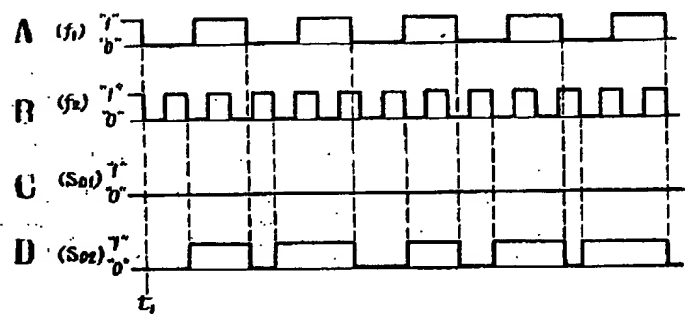
第8図



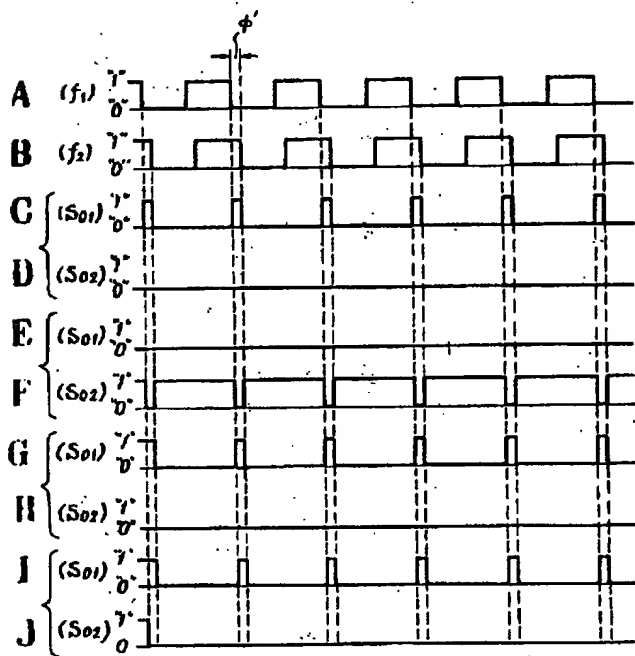
第9図



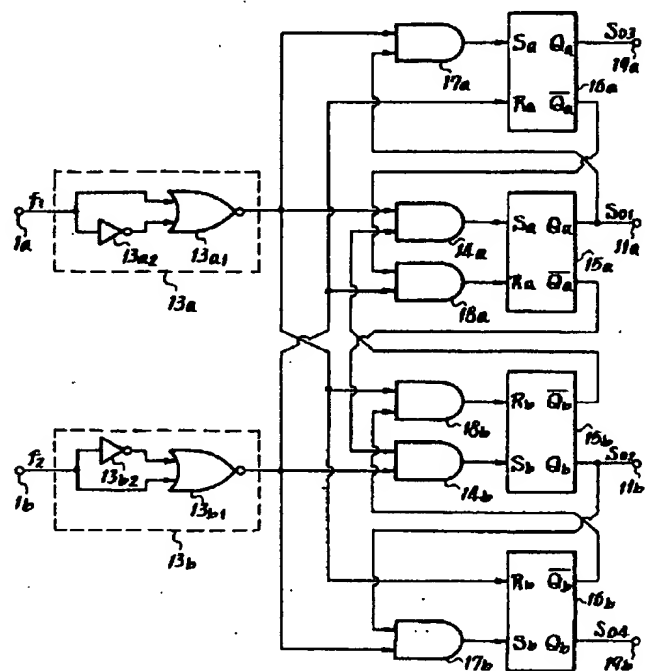
第10図



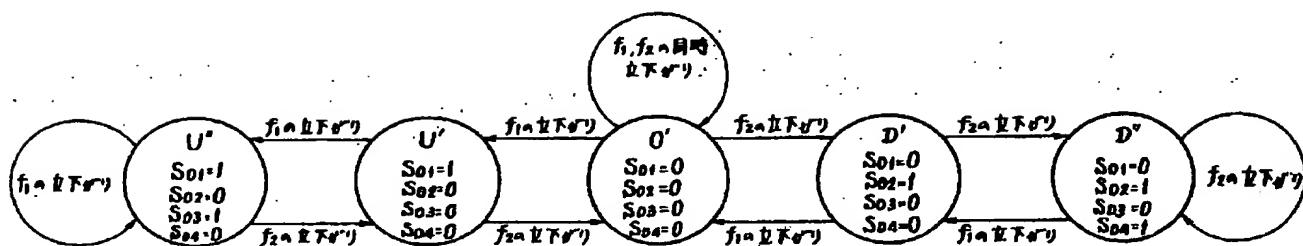
第11図



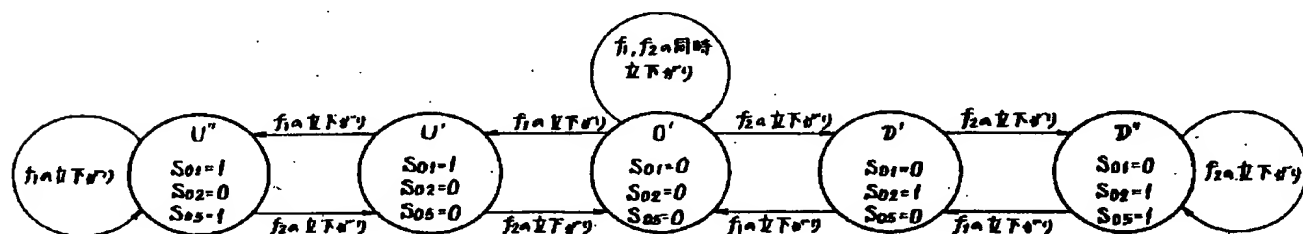
第12図



第13図

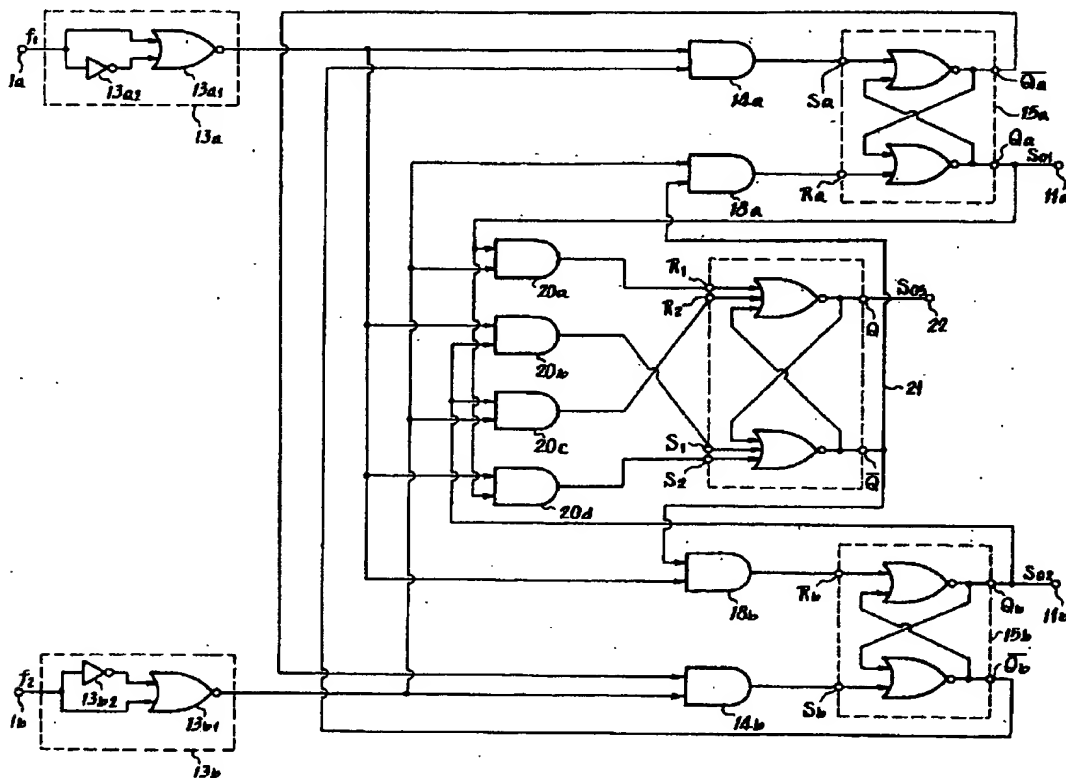


第15図



第14図

参考図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.